

## Cours d'électronique numérique

# Les composants logiques programmables

1A Minds

Un circuit classique contient :

- des portes logiques ;
- des connections entre les portes logiques ;
- des éléments de mémorisation (registre et/ou mémoire) ;
- des entrées-sorties.
- une (ou des) horloges
- une structure hiérarchique

Le CLP doit donc avoir les mêmes fonctionnalités, avec la notion de « programmabilité ».

1A Minds

Année universitaire 2012/2013

2

Il existe deux grandes familles de circuits logiques programmables :

- Les mémoires
- Les PLD (Programmable Logic Device)

# Les mémoires

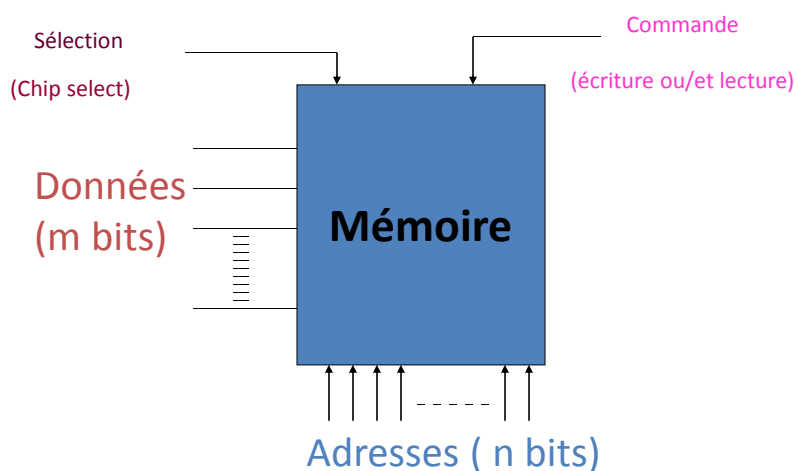
- Une mémoire est un élément de stockage d'information
- Les informations sont appelées **les données**
- Les données stockés sous forme de bits sont organisés sous forme de matrice: la dimension de la mémoire est donnée par le nombre de lignes fois la largeur de la ligne
- Chaque ligne de la mémoire est appelée un **mot**. Elle est identifiée par **une adresse** (numéro de la ligne)
- Le nombre de lignes est toujours une puissance de deux

Les applications sont nombreuses.

Citons les cartes à puce, les calculatrices...

Les mémoires sont utilisées en association avec les circuits de traitement numérique (microprocesseur ou microcontrôleur).

## Structure générale d'une mémoire



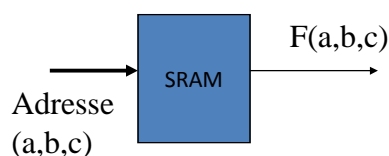
## LOOK UP TABLE (LUT)

Une **table de correspondance** (aussi appelé tableau de correspondances, ou *Look-Up Table (LUT)* en anglais ) est un terme informatique et électronique désignant une liste d'association de valeurs. Elle se comporte sur le même modèle qu'une table de vérité désignant sa sortie de manière unique en fonction de ses entrées et du contenu de la table.

Une LUT est une structure de données stockée en mémoire, employée pour remplacer un calcul par une opération plus simple de consultation. Le gain de vitesse peut être significatif, car rechercher une valeur en mémoire est souvent plus rapide qu'effectuer un calcul important.

000	0
001	1
010	0
011	1
100	0
101	1
110	0
111	1

Ex : Fonction  $F(a,b,c) = a \text{ xor } b \text{ xor } c$



=> Mode de lecture différent du résultat

## Paramètres d'une mémoire

- TECHNOLOGIE
- FORMAT

Le format représente le nombre de bits de la donnée (m).

- NOMBRE DE CASES MEMOIRES

Nombre de données pouvant être stockées. (N)

$$N = 2^n \quad (\text{où } n \text{ est le nombre de bits d'adresse})$$

- CAPACITE

$$C = m \times N$$

Exemple : Calcul de la capacité d'une mémoire

Mémoire : 8 bits de données Format :  $m = 8$   
16 bits d'adresse.

Nombre de cases  $N = 2^{16} = 65536$

Capacité :  $C = m \times N = 8 \times 65536 = 524288$  bits

## Expression de la capacité mémoire

Pour des raisons de simplification, on exprime la capacité :

- en kilo-octets (Ko)            1 octet : 8 bits  
    1 Ko =  $2^{10}$  = 1024 octets
- en méga-octets (Mo)        1 Mo =  $2^{20}$  octets
- en giga-octets (Go)         1 Go =  $2^{30}$  octets

**Pour l'exemple précédent C = 524288 bits**

$$C = 524288/8 = 65536 \text{ octets}$$

$$C = 65536 \text{ octets} = 65536/1024 = \underline{64 \text{ Ko}}$$

## DIFFERENTS TYPES DE MEMOIRES

RAM: Random Access Memory

Mémoires vives

On peut lire et écrire des données.  
Ces mémoires sont volatiles.  
Elles perdent leur contenu lorsqu'elles ne sont plus alimentées.

ROM: Read Only Memory

Mémoires mortes

On ne que lire les données.  
Elles conservent leur contenu lorsqu'elles ne sont plus alimentées.

## DIFFERENTS TYPES DE RAM

- RAM statique                      SRAM

Les informations sont mémorisées par des bascules tant que l'alimentation est présente.

Application : Mémoire cache d'un ordinateur

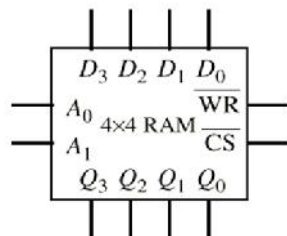
Zone de mémoire rapide où sont stockées les données les plus fréquemment utilisées par l'ordinateur.

- RAM dynamique                      DRAM

Les informations sont mémorisées par des condensateurs et des transistors.

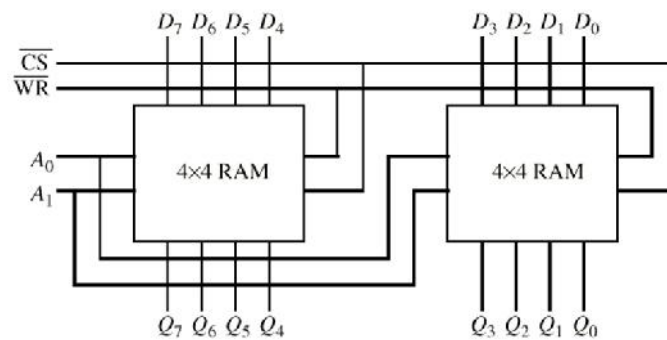
Cette technologie oblige à rafraîchir les données.

un CI Ram  
de 4 mots de 4 bits



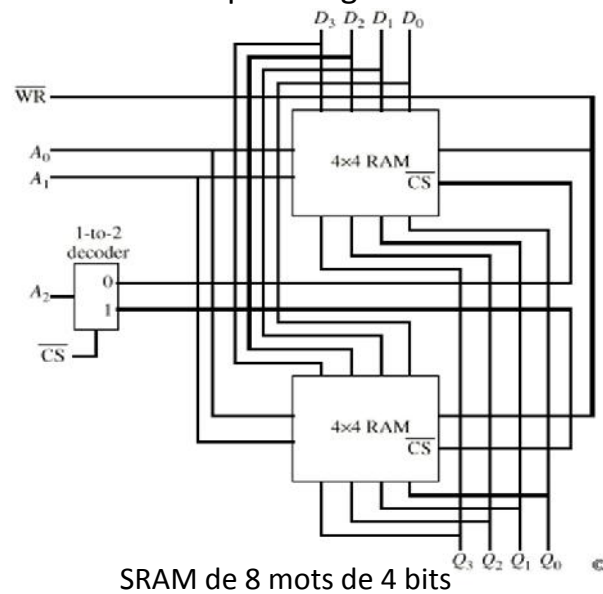
NB: Les signaux  $\overline{cs}$  et  $\overline{wr}$   
sont actifs à 0  
(niveau bas)

Addition horizontale de CI pour augmenter le nombre de bits d'un mot



Une mémoire de 4 mots de 8 bits chacun

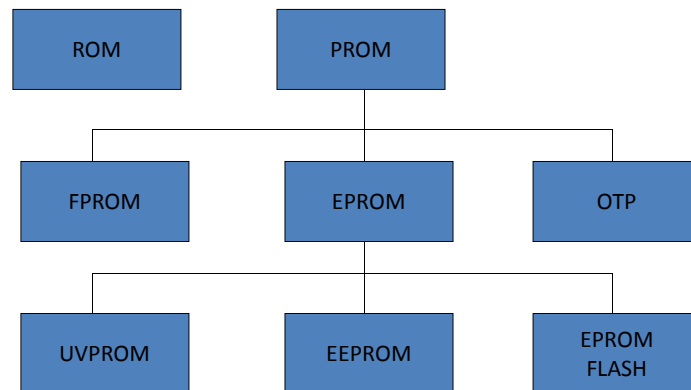
### Addition verticale de CI pour augmenter le nombre de mots



### Les Mémoires mortes: Read Only Memory

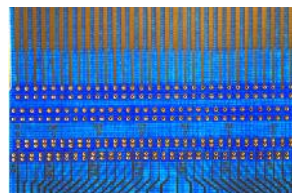
- Les données ne peuvent être que lues
- L'écriture se fait soit lors de la fabrication ou nécessite un matériel spécialisé.
- La donnée est retenue même en absence du courant (donnée non volatile)

## DIFFERENTS TYPES DE ROM



## DIFFERENTS TYPES DE ROM

**ROM :** Ces mémoires ont été écrites une fois par le fabricant. On peut lire les informations contenues mais on ne peut les modifier.





## PRINCIPE DES PROM A FUSIBLE

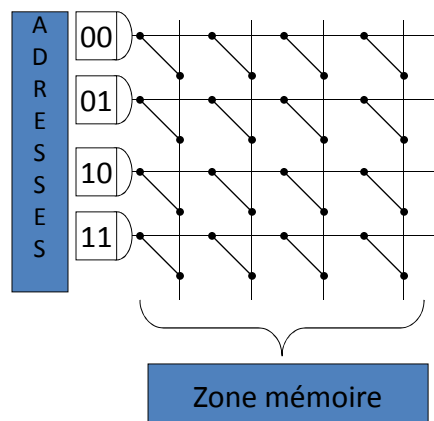
**FPROM** (Fuse PROM)

Ces mémoires sont livrées non enregistrées par le fabricant. Une fois programmées, on ne peut plus modifier leur contenu.

- Lorsque la mémoire est livrée tous les fusibles sont intacts. Elle ne contient alors que des 1.
- La programmation va consister à faire sauter les fusibles aux emplacements où on souhaite mémoriser des 0 en utilisant une haute tension (généralement 12 volts), pour faire sauter le ou les fusibles.
- Les PROM à fusibles sont en voie de disparition

Structure à :

- ET fixes (les circuits de décodage d'adresse)
- OU programmables (les données placées dans la mémoire).



**OTP (One Time Prom)**

On ne peut les programmer qu'une seule fois.

**EPROM (Erasable PROM)**

Ces mémoires possèdent les avantages de la PROM avec un plus qui est l'effacement des données par l'utilisateur et la possibilité de reprogrammer.

**DIFFERENTS TYPES D'EPROM****UVPROM (ou EPROM)**

Effaçable aux UV (10 à 20 minutes d'exposition).

Effacement total de la mémoire.

Programmation par tension de 25V.

**EEPROM (Electrically EPROM)**

Effaçable et programmable électriquement.

Effacement adresse par adresse.

Coût de fabrication élevé.

**EPROM FLASH**

Effaçable électriquement.

Effacement total de la mémoire.

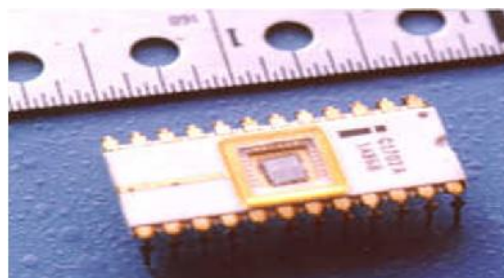
Plus rapide et moins cher que l'EEPROM.

## Fusibles métalliques ou Si

Lignes métalliques : interconnexions



## UV-PROM



### **Durée de rétention**

- La qualité de l'isolant étant excellente, la durée de rétention des charges atteint au minimum 10 ans à 70 °C, c'est-à-dire jusqu'à 100 fois plus à 25 °C

### **Effacement**

- On expose la puce à un rayonnement ultraviolet. Les photons, communiquent leur énergie aux électrons et leur font franchir la barrière en sens inverse

### **Principe des EEPROM**

- Ce sont des PROM effaçables électriquement octet par octet si nécessaire.
- Les EPROM FLASH sont effaçables globalement, sont plus rapides et plus simples que les EEPROM.
- Toutes deux sont programmables en circuit.

## Les Mémoires FLASH

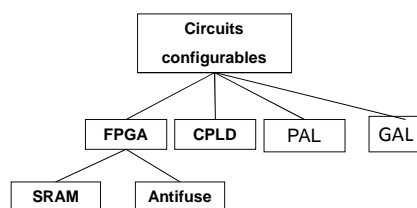
- Mémoires non volatiles, réécriture possible (500 000 fois), capacité 8 Gigabytes.
- Même structure qu'une Ram équipée d'une alimentation de faible consommation.
- Contrairement au Ram, effacement par bloc de données et non par octet.
- Grande tolérance au chocs, extrêmes températures, environnement avec beaucoup de perturbation.
- Utilisation: Caméras numériques, téléphones mobiles, Imprimantes, Pc portables, Applications militaires...

## Les PLD (Programmable Logic Device)

## Les différentes familles de circuits logiques programmables

- EPLD (Erasable Programmable Logic Device): Circuits logiques reprogrammables.
- FPGA (Field Programmable Gate Array): Réseau de portes programmables
- GAL (Generic Array Logic): Circuits logiques PAL reprogrammables à technologie CMOS.
- ISP (In System Programmable): Circuit que l'on peut programmer (et donc effacer) même lorsqu'il est en place sur l'application.
- PAL (Programmable Array Logic): Circuits logiques programmables dans lesquels seules les fonctions ET sont programmables, les fonctions OU ne le sont pas.
- PLD (Programmable Logic Device): Famille des circuits programmables qui comprend les PAL, GAL, EPLD et FPGA.

## Les différentes familles de PLD



- FPGA** : Field Programmable Gate Array  
**CPLD** : Complex Programmable Logic Device  
**PAL** : Programmable Array Logic  
**GAL** : Generic Array Logic = PAL  
**SRAM** : Static Random Access Memory

## Les différentes familles de PLD

TYPE	Nombre de portes intégrées	Effaçable
PROM	2 000 à 500 000	Non
PAL	10 à 100	Non
GAL	10 à 100	Electriquement
EPLD	100 à 3000	Aux U-V Electriquement
FPGA	3000 à 6.000.000	Electriquement Non

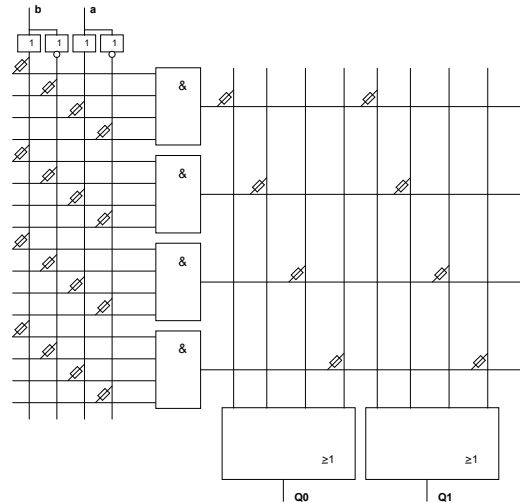
## Les PAL

- L'invention des PAL date d'une vingtaine d'année, ce sont les ingénieurs de la société MMI rachetée par AMD qui ont eut l'idée d'utiliser la technologie des fusibles.
- Ce sont des composants programmables une seule fois.

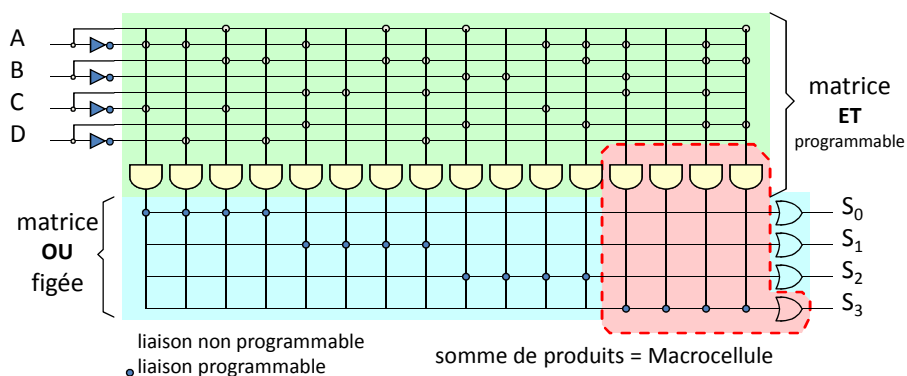


### Structure de base d'un PLD

- Ils possèdent des matrices « ET » programmables et des matrices « OU » fixes.
- La fusion des fusibles est obtenue en appliquant à leurs bornes une tension de 11,5 V pendant 10 à 50  $\mu$ S (leur tension de fonctionnement est environ de 5V).
- Cette opération est bien sûr effectuée en utilisant un programmeur adapté.



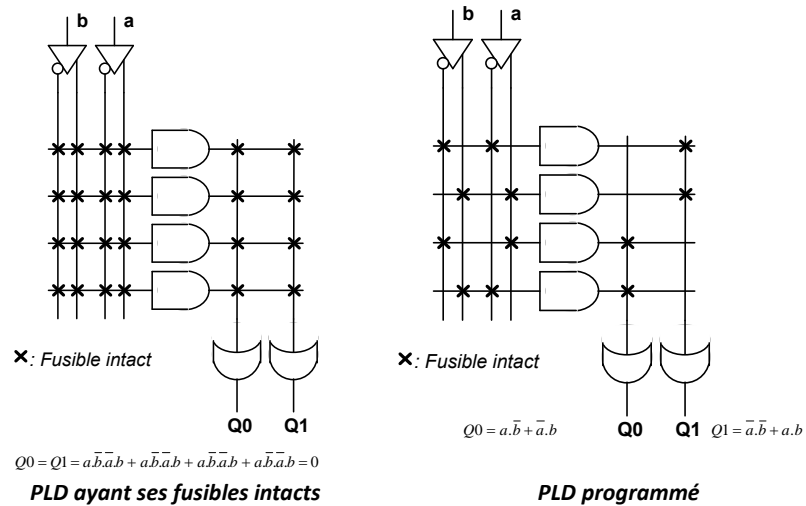
### PAL



PLD : 4 fonctions de 12 mintermes (max) de 3 variables  
 Au départ #70-85 : programmation « à la main » (fichier de fusibles)



## Structure de base avec les normes des constructeurs



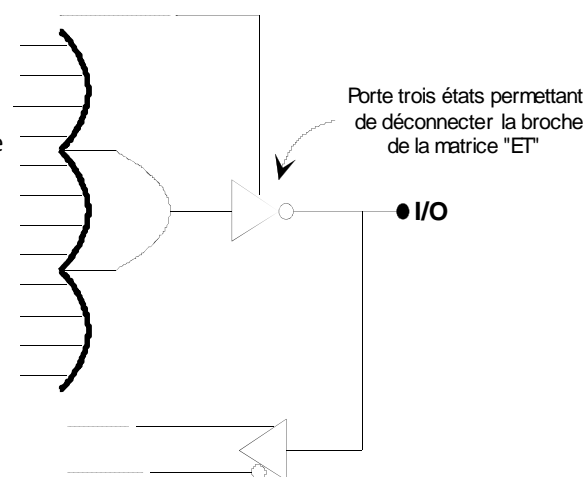
1A Minds

Année universitaire 2012/2013

33

## Configuration des entrées/sorties

- Certaines broches de ces circuits peuvent être utilisées aussi bien en entrée qu'en sortie grâce à un système de logique 3 états.
- La commande de cette dernière est configurée au moment de la programmation.
- La structure de sortie permet aussi de réinjecter les sorties en entrée (Feed-back).



1A Minds

Année universitaire 2012/2013

34

### REFERENCE DES PAL

Les diverses possibilités de ces circuits et leur standardisation ont conduit les constructeurs à définir une nomenclature permettant de décoder assez facilement la référence des PALs.

**PAL** : PAL

**(CE)** : CE pour version CMOS

**XX** : Nombre d'entrées

**AB** : Structure de sortie

**YY** : Nombre de sorties

**C** : Consommation

**ZZ** : Vitesse

**DEF** : Type de boîtier

Lettre(s) Code(s)	Structure de sortie
L	Combinatoire active bas
H	Combinatoire active haut
C	Combinatoire complémentaire
R	Registre synchrone (D)
RA	Registre asynchrone
X	Registre OU exclusif
V	Versatile

#### Remarques :

- Le nombre d'entrées varie entre 10 et 22.
- Le nombre de sorties varie entre 1 et 10.
- La puissance est indiquée par une lettre code.
- La vitesse indique le temps de propagation en nS.
- Les versions versatiles ont une cellule de sortie programmable permettant d'obtenir n'importe quel autre type de structure de sortie (L, H, R ...).
- Les versions CMOS (CE) sont effaçables électriquement. Les fusibles sont remplacés par des transistors de type MOS FET. Ce ne sont ni plus ni moins que des « GALs ».

**Exemple :** PAL 16 L 8 H 15 PC

**PAL** : PAL

: Nombre d'entrées :

: Structure de sortie :

: Nombre de sorties :

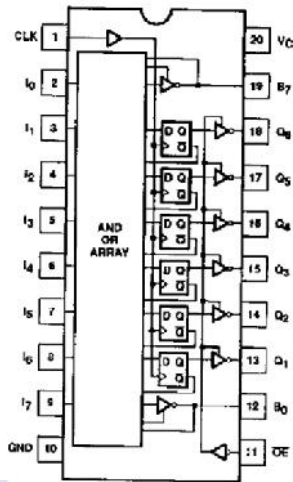
: Consommation :

: Vitesse :

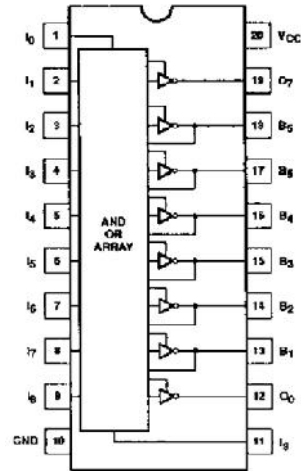
: Type de boîtier :

# Structures de base des PAL

Brochage du PAL 16R6 -



Brochage du PAL 16L6 -

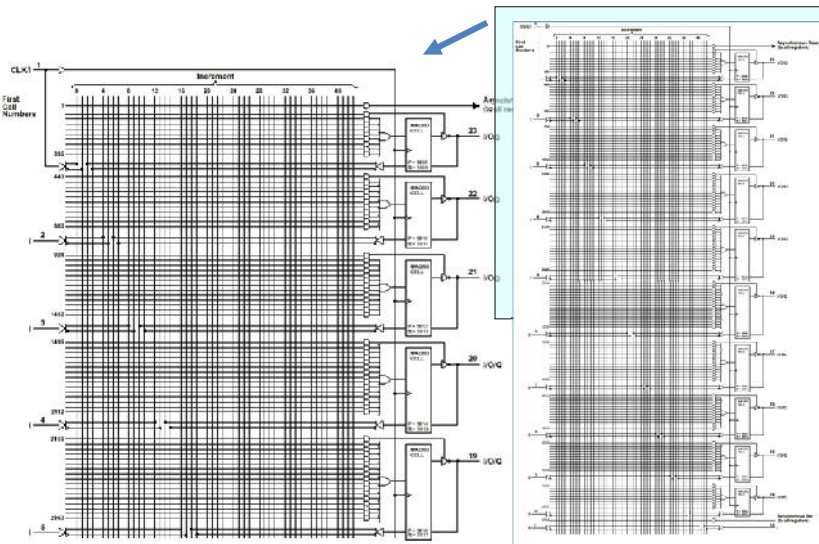


1A Minds

Année universitaire 2012/2013

37

## PAL22V10



ZOOM

Complet

1A Minds

Année universitaire 2012/2013

38

## b) Les GAL

- Les GAL sont des PAL à technologie CMOS, c'est à dire programmables et surtout effaçables électriquement.
- On retrouve les mêmes références qu'en PAL.
- **Protection contre la duplication.**
- Les GAL sont dotés d'un bit de sécurité qui peut être activé lors de la programmation empêchant ainsi toute lecture du contenu du circuit. Ce bit est remis à zéro seulement en effaçant complètement le GAL.
- Il est constitué d'un ensemble de huit octets, appelé signature électronique, pouvant contenir des informations diverses sur le produit.

## c) Les EPLD

### Généralités

- L'introduction des EPLD telle que l'a voulue ALTERA visait deux buts :
- Densité d'intégration supérieure aux PAL
- Fonctionner à une vitesse au moins égale aux PAL bipolaires

## EPLD : Description Fonctionnelle

Les EPLD de la famille MAX possèdent une architecture comportant les éléments suivants :

- Logic array blocks (LABs)
- Macrocellules
- Réseau d'interconnexions Programmables (PIA)
- I/O control blocks

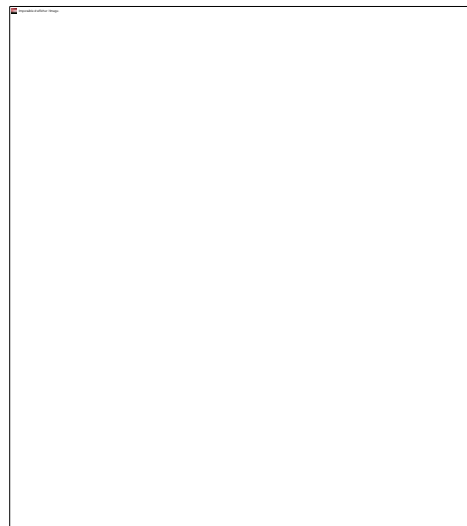
Les séries MAX incluent des entrées dédiées telles que des (horloges,clear,..) pour chaque macrocellule.

## Exemple de EPLD : le MACH 4

Le MACH 4 est un EPLD programmable in situ (ISP) par l'intermédiaire d'un bus J-TAG.

Il dispose de 32 entrées / sortie, de matrices « ET » programmables, de matrices "OU" fixes, d'une matrice centrale d'interconnexion, d'une circuiterie d'horloge et de 32 ou 64 macrocellules.

L'architecture interne du MACH 4-32/32 est équivalente à 4 PALCE 22V10 interconnectés.



## LES FPGA (field programmable gate arrays)

L'architecture, retenue par Xilinx, se présente sous forme de deux couches :

- une couche appelée circuit configurable,
- une couche réseau mémoire SRAM.

## LES FPGA

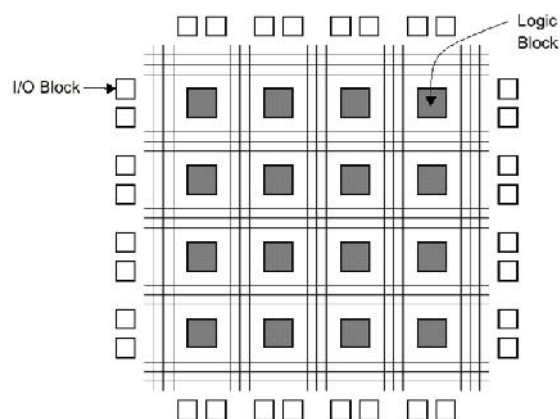
- La couche dite 'circuit configurable' est constituée d'une matrice de blocs logiques configurables CLB permettant de réaliser des fonctions combinatoires et des fonctions séquentielles.
- Tout autour de ces blocs logiques configurables, nous trouvons des blocs entrées/sorties IOB dont le rôle est de gérer les entrées-sorties réalisant l'interface avec les modules extérieurs . La programmation du circuit FPGA appelé aussi LCA (logic cells arrays) consistera par le biais de l'application d'un potentiel adéquat sur la grille de certains transistors à effet de champ à interconnecter les éléments des CLB et des IOB afin de réaliser les fonctions souhaitées et d'assurer la propagation des signaux.
- Ces potentiels sont mémorisés dans le réseau mémoire SRAM.

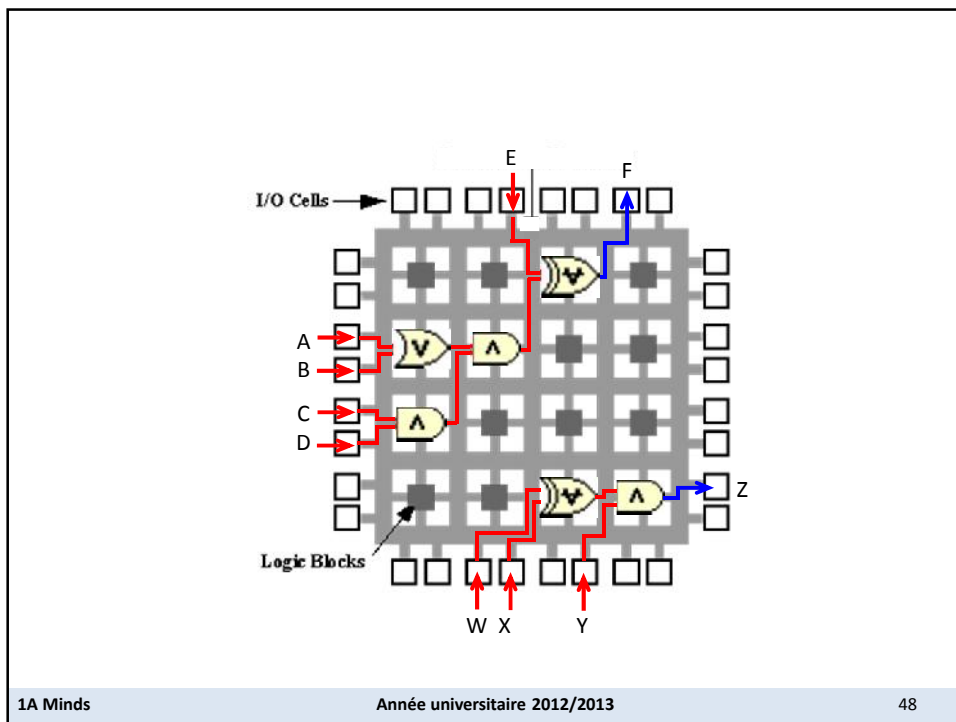
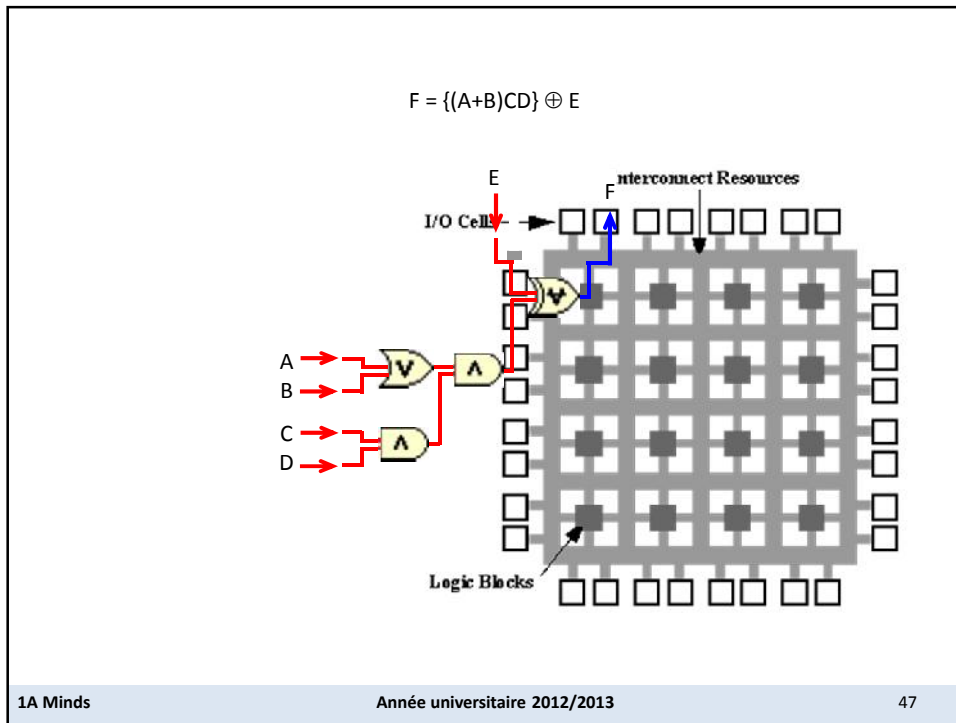
## La SRAM

- La configuration du circuit est mémorisée sur la couche réseau SRAM et stockée dans une ROM externe. Un dispositif interne permet à chaque mise sous tension de charger la SRAM interne à partir de la ROM. Ainsi, un même circuit peut être exploité successivement avec des ROM différentes puisque sa programmation interne n'est jamais définitive.
- On voit tout le parti que l'on peut tirer de cette souplesse en particulier lors d'une phase de mise au point. La mise au point d'une configuration s'effectue en deux temps: une première étape purement logicielle va consister à dessiner puis simuler logiquement le circuit fini, puis lorsque cette étape sera terminée on effectuera une simulation matérielle en configurant un circuit réel et l'on pourra alors vérifier si le fonctionnement réel correspond bien à l'attente du concepteur, et si besoin est identifier les anomalies liées généralement à des temps de transit réels légèrement différents de ceux supposés lors de la simulation logicielle ce qui peut conduire à des états instables voire même erronés..

Les composants logiques programmables :

## Architectures globales







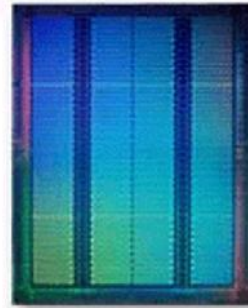
## Les FPGA

### AVANTAGES

- possibilité de prototypage
- time-to-market faible
- adaptabilité aux futures évolutions grâce à la reconfiguration
- flexibilité

### INCONVENIENTS

- intégration limitée par les ressources de routage
- performances
- prix à l'unité élevé pour de grosses productions



## Les éléments logiques

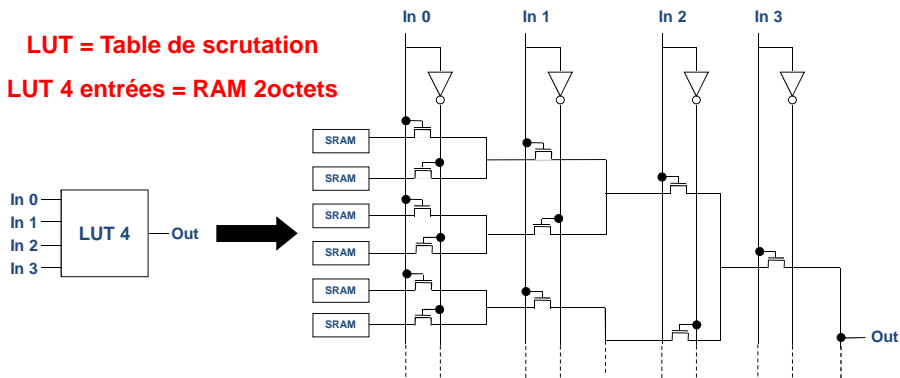
Les éléments logiques configurables sont les briques de bases de tous les FPGA, ils sont majoritairement réalisés autour de LUT, *Look Up Table*, de chaîne de propagation rapide de la retenue et de bascule D.

On rencontre toutefois des cellules logiques rudimentaires à base de multiplexeurs

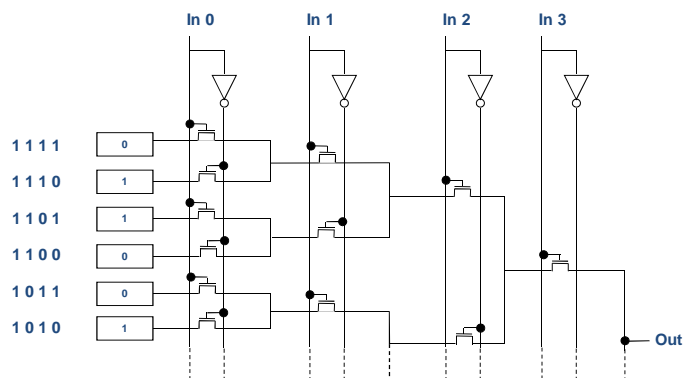
## Les Look Up Tables

Ce sont de petits éléments de mémorisation, qui reflètent la table de vérité d'une fonction logique.

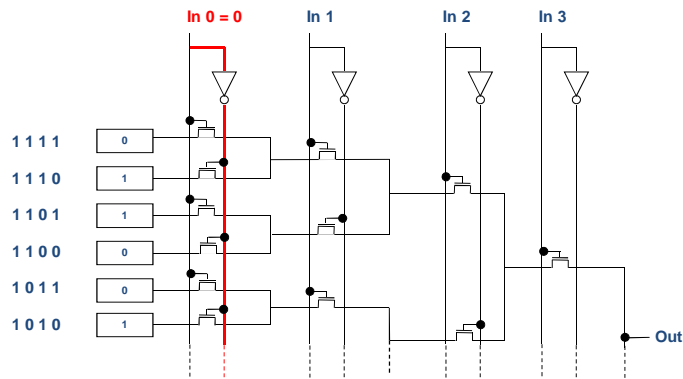
LUT = Table de scrutation  
 LUT 4 entrées = RAM 2octets



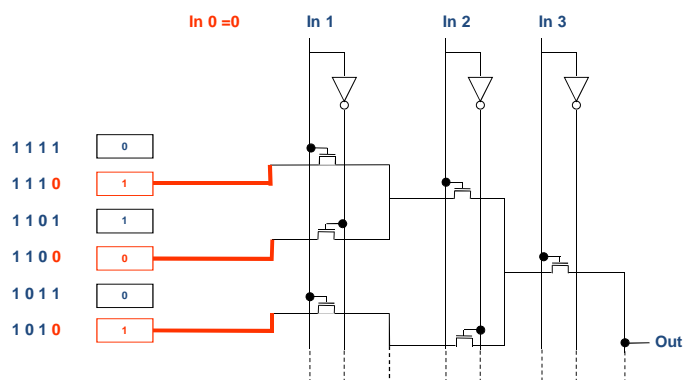
## Les Look Up Tables



### Les Look Up Tables



### Les Look Up Tables



### Les Look Up Tables

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

1A Minds Année universitaire 2012/2013 55

### Les Look Up Tables

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

1A Minds Année universitaire 2012/2013 56

### Les Look Up Tables

In 0 = 0    In 1 = 1    In 2 = 1    In 3 = 1

1 1 1 1	0
1 1 1 0	1
1 1 0 1	1
1 1 0 0	0
1 0 1 1	0
1 0 1 0	1

$$\text{Out} = 1 = \text{In}_3 \cdot \text{In}_2 \cdot \text{In}_1 \cdot \overline{\text{In}_0}$$

1A Minds
Année universitaire 2012/2013
57

### Les Look Up Tables

#### Élément logique de base avec LUT

The diagram shows a logic element containing a Look Up Table (LUT) and a Fast Carry Chain. The LUT takes four inputs (ENTREES) and produces a carry signal (D) and a data output (Q). The Fast Carry Chain takes the carry signal (D) and the clock signal (HORLOGE) to produce the carry-out (Carry-Out). The data output (Q) is also part of the SORTIES.

1A Minds
Année universitaire 2012/2013
58